



(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08236694 A**

(43) Date of publication of application: 13.09.96

(51) Int. Cl H01L 25/065
H01L 25/07
H01L 25/18

(21) Application number: 07036664

(22) Date of filing: **24.02.95**

(71) Applicant: **NEC CORP**

(72) Inventor: SENBA NAOHARU
SHIMADA YUZO
UCHIUMI KAZUAKI
TOKUNO KENICHI
MORIZAKI IKUYUKI
DOTANI AKIHIRO
BONSHIHARA MANABU

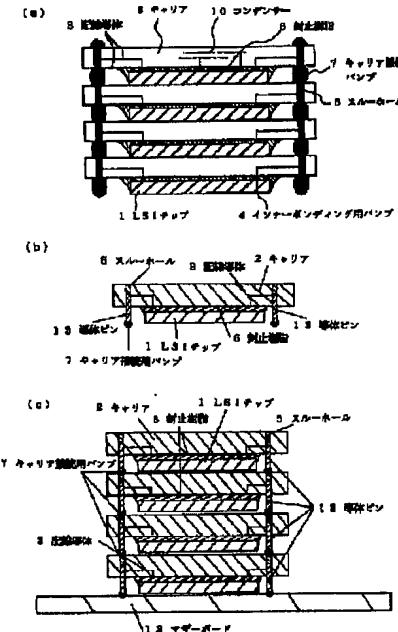
(54) SEMICONDUCTOR PACKAGE AND
MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To obtain a highly reliable, thin and small-sized structure of stack module semiconductor package, and a manufacturing method thereof, at low cost in which the wiring length is shortened significantly and the electric characteristics are enhanced without employing the wire bonding system and TAB system.

CONSTITUTION: An LSI chip 1 is mounted on a ceramic carrier board or a flexible carrier film 2, on which wiring conductors 3 are formed, through microbumps 4. A sealing resin 7 is then injected and the chip is polished thinner and each carrier film is connected by means of the bump 4 through a through hole 5 connected electrically with the wiring conductor 3 thus constituting a three-dimensional stack module.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-236694

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl.⁶
H 0 1 L 25/065
25/07
25/18

識別記号

府内整理番号

F I
H 0 1 L 25/08

技術表示箇所

Z

審査請求 有 請求項の数20 O.L (全 11 頁)

(21) 出願番号 特願平7-36664

(22) 出願日 平成7年(1995)2月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 仙波 直治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 嶋田 弘三

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 内海 和明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

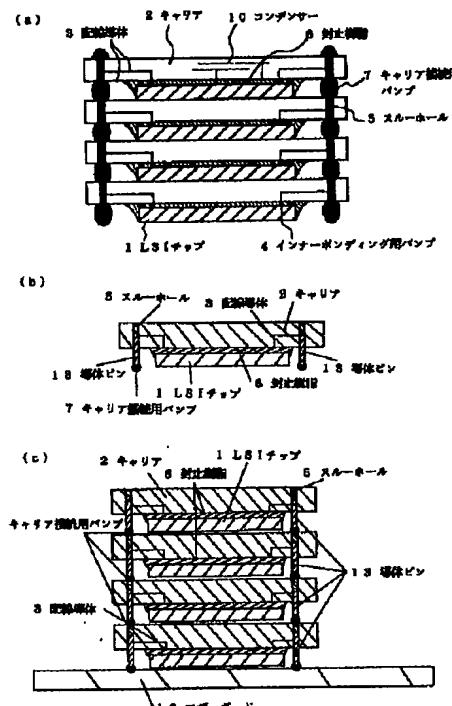
最終頁に続く

(54) 【発明の名称】 半導体パッケージとその製造方法

(57) 【要約】 (修正有)

【目的】 ワイヤボンディング方式、TAB方式を採用しないで、配線長の極めて短い電気特性の良好な小型、薄型で高密度で、しかも低コスト、高信頼性のスタックモジュール半導体パッケージの構造および製造方法を提供する。

【構成】 配線導体3が形成されたセラミックキャリア基板もしくはフレキシブルキャリアフィルム2に微小バンプ4を介してLSIチップ1が実装されている。封止樹脂7を注入して、チップを研磨により薄くし、配線導体3から電気的に接続されたスルーホール5を介してバンプ4で各キャリアフィルムを接続し、三次元スタックモジュールを構成する。



【特許請求の範囲】

【請求項1】 キャリアの内部もしくは端面のスルーホールと、少なくともキャリアの表面に形成された導体パターンと、キャリアの裏面に形成され該スルーホールと電気的に接続されたインナーボンディング用のパッドと、該インナーボンディング用のパッドによって接続固定されたLSIチップとからなることを特徴とする半導体パッケージ。

【請求項2】 キャリアが複数個積層された構造よりなる半導体パッケージであって、前記キャリアは、内部もしくは端面スルーホールと、少なくともキャリアの表面に形成された導体パターンと、キャリアの裏面に形成され該スルーホールと電気的に接続されたインナーボンディング用のパッドと、該インナーボンディング用のパッドによって接続固定されたLSIチップとを有し、かつ前記スルーホール部により三次元的に接続されていることを特徴とする半導体パッケージ。

【請求項3】 スルーホールがキャリア内部にあり、かつ電気的に接続されたキャリア接続用のバンプ状端子により三次元的に接続されていることを特徴とする請求項1ないし2記載の半導体パッケージ。

【請求項4】 LSIチップがフェースダウンでマウントされ、かつインナーボンディング用のパッドが、バンプにより形成されていることを特徴とする請求項1ないし3記載の半導体パッケージ。

【請求項5】 インナーボンディング用のパッドおよびキャリア接続用バンプの材質として、Pb-Sn系、Sn-Ag系、Sn-Zn系、Au-Sn系、Au、Inを主成分としたろう材を用いることを特徴とした請求項3ないし4記載の半導体パッケージ。

【請求項6】 キャリアもしくはLSIチップと密着している放熱板、もしくはキャリアに密着した導体パターンを有していることを特徴とする請求項1記載の半導体パッケージ。

【請求項7】 任意のキャリアに実装されているLSIチップと、前記任意のキャリアに隣接するキャリアとの間に、キャリアもしくはLSIチップと密着している放熱板、もしくはキャリアに密着した導体パターンを有していることを特徴とする請求項2ないし5記載の半導体パッケージ。

【請求項8】 LSIチップもしくはキャリアと放熱板との間に、熱伝導性材料を有していることを特徴とする請求項7記載の半導体パッケージ。

【請求項9】 導体パターンがGNDと接続されていることを特徴とする請求項6ないし8記載の半導体パッケージ。

【請求項10】 キャリアが、LSIチップを収納するためのキャビティを有していることを特徴とする請求項1ないし9記載の半導体パッケージ。

【請求項11】 キャビティの深さが半導体素子に形成さ

れたバンプ高さよりも深いことを特徴とする請求項10記載の半導体パッケージ。

【請求項12】 インナー接続された各LSIチップとキャリア基板間に樹脂が注入され封止された構造を有することを特徴とする請求項2ないし11記載の半導体パッケージ。

【請求項13】 キャリアが、コンデンサを内蔵していることを特徴とする請求項1ないし12記載の半導体パッケージ。

10 【請求項14】 キャリアに内蔵されているコンデンサが電気的にVCC-GND間に接続されていることを特徴とする請求項13記載の半導体パッケージ。

【請求項15】 キャリアがセラミック焼結体からなるフィルム状の基板、もしくはフレキシブルフィルム、もしくはプリント基板よりなることを特徴とする請求項1ないし14記載の半導体パッケージ。

【請求項16】 最上層部表面に形成された端子電極を絶縁物で覆った構造を特徴とする請求項1ないし15記載の半導体パッケージ。

【請求項17】 キャリアの周辺端面に導体層が形成され、この層がGNDと接続されていることを特徴とする請求項1ないし16記載の半導体パッケージ。

【請求項18】 キャリアの周辺部に微細なピッチで整列したスルーホールが形成され、これらスルーホールが全てGNDと接続されていることを特徴とする請求項1ないし17記載の半導体パッケージ。

20 【請求項19】 セラミックキャリア基板とLSIチップを接続する工程と、バンプの形成された基板あるいはチップとの間に封止用樹脂を注入する工程と、封止された基板上に取り付けられたチップを所望の薄さにするために研磨、研削、サーフェースグラインダー、エッティングのいずれかを行う工程と、実装されたキャリア基板の複数個を重ね合わせてバンプを介してろう付けする工程から成ることを特徴とした半導体パッケージの製造方法。

【請求項20】 多段接続された半導体パッケージにおいて、キャリアが個々に分割されていないで多数個取りの状態で、LSIチップのマウント、バンプによるLSIチップとキャリアの接続、樹脂封止、厚さ形成、バインテスト、多段接続、電気的特性検査を実施後、最終行程においてレーザー、スクライブ、ダイシング、チヨコブレーク法より選ばれる方法によって個々に分割して、個々の多段接続された半導体パッケージとすることを特徴とする半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、LSIチップを実装するパッケージ構造および製造方法に関するものであり、特に三次元的にLSIチップを重ね合わせた高密度なスタッカモジュール構造に最適な素子構造と製造方法に関するものである。

【0002】

【従来の技術】従来のスタックモジュールの半導体パッケージは、T S O P (Thin Small Out Line Package)などのモールドパッケージを積み重ねて、周辺のリードを用いて上下を接続させた構造となっている。

【0003】また、L S Iチップを直接重ね合わせたスタックモジュールがあるが、この場合接続をワイヤボンディングしており、そのためチップの端面を加工してボンディング出来るような構造になっている。積層されたチップは、キャリア基板の上に実装されており各チップからワイヤでキャリア基板に接続されている。

【0004】T A B (Tape Automated Bonding)接続されたチップを重ねてスタックモジュール化したものもある。この場合、T A Bリードを曲げて多段に積み重ね、各リードをキャリア基板に接続している。また、リードフレームのアイランド部にT A B接続された半導体素子を多段に接続し、全体を樹脂封止してQ F Pパッケージとする方法もある。

【0005】さらに、スタックモジュールの半導体パッケージの一例が特開昭61-101067号公報に開示されている。これを図12に示す。これによれば、I C搭載用電極32、チップキャリア接続用電極33等が形成されたキャビティ付きセラミックパッケージに、メモリーI C34をマウントして金属細線を用いてメモリーI C34とI C電極32に電気的に接続し、その後樹脂封止し、キャリア基板外壁にチップの電極を外部に導出するための電極パターンを有する複数のキャリアを重ね合わせ、電極パターン相互間を電気的に接続したメモリモジュール構造をとっている。この場合、チップ接続はワイヤボンディングで行われておりキャリア間の接続はキャリア容器の外壁面を利用して行われている。

【0006】また、特開平2-310957号公報に開示された例を図13に示す。これは、通常のモールドパッケージの両側面、上面にリード37を形成した構造の半導体装置を製造し、次にリード37によって半導体装置を多段に接続した構造となっている。

【0007】その他では、リソグラフィー、酸化、メタル形成技術等を用いて半導体素子の端面に、多段接続用のメタルを形成して多段接続する方法、メモリー半導体素子をマルチチップで実装したQ F Pパッケージを製造し、このQ F Pパッケージのリードを用いて多段接続する方法、通常のI Cパッケージとサブおよびマザーボードによって多段接続する方法等がある。

【0008】

【発明が解決しようとする課題】このような従来技術のスタックモジュールの半導体パッケージでは、次のような欠点を有する。

【0009】モールドパッケージの積み重ね構造では、各パッケージの厚みが厚く全体のモジュールが極めて厚

くなってしまう。またチップの接続をワイヤボンディングで行っておりモールドされた形状が大きくなり、小型化に対する大きな障壁になっている。

【0010】チップを直接積み重ねた構造では、1チップ毎にボンディング実装しなければならず作業時間が長くなり、製造コストも高くなる。またペアチップをスタックするためモジュールが出来上がるまで各チップの検査選別が出来ないという欠点があった。さらに、ワイヤボンディングのためにチップ端部を加工しなければならず、この点においても不利であった。

【0011】また、T A Bチップを重ねた構造では検査選別がT A Bチップレベルで行える利点があるが、1チップ毎の実装でありコスト的にも高くなってしまう。また形状も大きくなる欠点があった。また、多段接続したときの高さが通常のQ F Pパッケージよりも大きくなる。従って実装密度を高くすることはできない。また、T A Bであるため、実装、その他のハンドリングが難しい。

【0012】リードフレームのアイランド部にT A B接続した半導体素子を多段に接続し、全体を樹脂封止してQ F Pパッケージとする方法は高価であるとともにT A B接続するために、半導体素子の強度が必要である。そのためある厚さを確保することになる。薄くしても約0.3mm程度であり、全体のQ F Pパッケージの厚さを薄くすることは不可能である。

【0013】さらに、図12に示したキャリア容器に入れた構造のモジュールでは、同様にワイヤボンディングで接続されており、また外壁面を利用して各キャリア容器が接続されているため形状が大きくなるとともに配線長も長くなってしまうという欠点があった。加えて、多段接続する前の個々の半導体装置に用いているチップキャリアの高さが、半導体素子厚さの数倍以上になっており非常に厚いため、高密度実装に適さず、かつ個々の半導体装置を多段に接続するため、更に実装密度が下がることになってしまう。

【0014】図13に示した例でも、モールド樹脂の中に半導体素子を傾斜させて内蔵させているため、半導体素子厚とリードフレームの厚さを合わせた厚さの数倍のモールド厚さとなっているため、前述と同様に高密度実装ができない。更に、これを多段に接続するため、更に実装密度が下がることになる。

【0015】リソグラフィー、酸化、メタル形成技術等を用いて半導体素子の端面に多段接続用のメタルを形成する方法は、技術的な難易度が高く、また、莫大な設備投資が必要となる。

【0016】メモリーの半導体素子をマルチチップで実装したQ F Pパッケージを製造し、リードを用いて多段接続する方法は個々のQ F Pパッケージの厚さが半導体素子の厚さの数倍と厚くなってしまうため高密度実装には適さない。更に多段接続するために実装密度が下がる

ことになる。

【0017】通常のICパッケージとサブおよびマザーボードによって、多段接続する方法ではICパッケージの厚さは従来のものとかわらず、これを多段接続するのみであるため実装密度の向上は得られない。更に、サブおよびマザーボードが入ってくるため実装密度は低下されてしまう。

【0018】以上述べたように従来技術では実装密度を向上させることができない。また、莫大な設備投資が必要、技術的な難易度が高い、高コストである等の色々な問題点を有している。

【0019】本発明の目的は、上記問題点を除去せしめてワイヤボンディング方式、TAB方式を採用しないで、配線長の極めて短い電気特性の良好な小型、薄型で高密度で、しかも低コスト、高信頼性のスタックモジュール半導体パッケージの構造および製造方法を提供することにある。

【0020】

【課題を解決するための手段】本発明はキャリアが単数もしくは複数個積層された構造よりなる半導体パッケージであって、前記キャリアは、内部もしくは端面スルーホールと、少なくともキャリアの表面に形成された導体パターンと、キャリアの裏面に形成され該スルーホールと電気的に接続されたインナーボンディング用のパッドと、該インナーボンディング用のパッドによって接続固定されたLSIチップとを有し、かつキャリアを複数個積層する場合には前記スルーホール部により三次元的に接続されていることを特徴としている。

【0021】ここでスルーホールはキャリア内部でも、端面にあっても良い。インナーボンディング用のパッドとしてはバンプを用いることが好適であるが、導電性の樹脂、異方性導電樹脂等を用いることも可能である。バンプを用いる場合には原則としてLSIチップはフェースダウンでマウントされる。また、放熱効果を向上させるために、個々のキャリアとLSIチップとの間に放熱板、もしくは導電パターンを有した構造でもよい。又、キャリアにコンデンサが内蔵されていると、電気的な設計の自由度を増加させることができるため、高機能の半導体装置を得ることができる。

【0022】キャリアとしては、プリント基板やセラミック焼結体からなるキャリア基板の表裏面および内部にAg、Au、Cu、Ag-Pd、Mo、W等を主成分とした導体パターンが形成された多層基板や、フレキシブルキャリアフィルムの表裏面および内部に導体パターンが形成された配線フィルム等が好適に用いられる。すなわち、セラミックキャリアを用いることで、チップとのバンプ接続においてバンプの材質として高融点ろう材を利用できること、キャリア基板の平坦性、耐湿性が極めて高い半導体パッケージが得られる。なお、キャリアを広げることにより、高熱伝導材料であれば放熱フィンと

しての役割を兼ねることが可能となるためキャリアフィルムを用いることによって、チップから発生する熱を効率的に放散でき、電気的にも特性インピーダンス整合が可能でノイズを抑えた高性能な半導体パッケージが得られる。またプリント基板を用いれば低コスト化が図れる。これらキャリアは小型化を図る面からキャビティを有しているものがさらに好ましい。

【0023】ろう材としては、Pb-Sn系、Sn-Ag系、Sn-Zn系、Au-Sn系、Au、In等を主成分としたろう材が用いられる。

【0024】またその製造方法としては、キャリアとLSIチップをバンプを介してろう付けする工程と、バンプの形成された基板とチップとの間に封止用樹脂を注入する工程と、封止された基板上に取り付けられたチップを所望の薄さにするために研磨、研削、サーフェースグラインダー、エッティングのいずれかを行う工程と、実装されたキャリア基板の複数個を重ね合わせてバンプを介してろう付けする工程から成ることを特徴としている。ここで、研磨の前に封止用樹脂を注入することによってLSIチップの研磨による歪みを防止することができ、全体の小型化が図れる。

【0025】

【実施例】

(実施例1) 以下本発明の実施例について図面を参照して詳細に説明する。図1は本発明のスタックモジュールの半導体パッケージの構造を示す実施例の説明図である。図2にその製造工程を示す。1はLSIチップであり形状は4.5mm×12.0mm、I/O端子は26端子の4M-DRAMチップを用いた。2はセラミックキャリア基板であり本実施例では厚さ150μmのガラスセラミックス基板を用いた。この基板は外形5.0mm×13.4mmで、LSIチップの実装される面と内部にAg-Pd系の導体ペーストで配線導体3が形成されている。またキャリア基板をスタックして電気的に接続する部分にスルーホール5が設けられており、キャリア基板の表裏面を導体により接続している。4はLSIチップとキャリア基板を接続するためのバンプでありPb-Sn系のはんだにより形成されている。本接続においては、まずチップにバンプを形成して、次にセラミックキャリア基板2上のパッドにはんだペーストを印刷し、チップをセットして230℃の温度ではんだリフロして接続した(図2(a))。また、キャリアにはコンデンサ10が内蔵されている。

【0026】次に接続部とLSIチップ1の信頼性を高めるため液状の封止樹脂6としてエポキシ樹脂を注入し硬化させて封止した(図2(b))。ここで用いたチップ1は、0.6mm厚のシリコンウェハから得たものであり研磨工程で0.1mmにまで薄くした(図2(c))。ここで研磨工程としては研削、研磨、サーフェースグラインダー、エッティング法等、いずれの方法でも良い。

【0027】次に薄く研磨したチップ1が実装されたキャリア基板2を4枚重ね合わせてバンプ7を介して電気的に接続した。バンプ7は150μm径のCuボールにPb-Sn系のはんだをコーティングしたものである。接続は次のような方法で行った。キャリア基板上のパッドにははんだペーストを印刷形成後、はんだコーティングしたCuボールを配列し熱処理してはんだ溶融しバンプを形成する(図2(d))。バンプ形成された各キャリア基板のバンプ部と反対側の面に形成されているパッドへ同様にはんだペーストを印刷し、各キャリア基板を積み重ね、熱処理することにより4個の基板を接続し、モジュール化した(図2(e))。本実施例では、4個の4M-DRAMを重ねてモジュール化しているので16M-DRAMが得られることになる。モジュール化は所望の厚さにできるので個々の半導体装置の厚さは例えば0.1~0.3mmと非常に薄くできる。

【0028】この実施例によって得られたパッケージにおいては、キャリア基板2の反りは20μm以下に抑えられており平面性は良好である。基板2上の接続部は、はんだぬれ性を十分に行うためAg-Pd系導体の上にNiおよびAuのメッキが施されている。

【0029】ここで用いたセラミックキャリア基板2の材質は、ホウケイ酸鉛系のガラスセラミックスであるが、ホウケイ酸系、ステアタイト、フォルステライト、コーディエライト、ムライト等の絶縁性を有するガラスセラミックスやアルミナ、ムライト、窒化アルミ、窒化シリコン等のセラミックスであっても可能である。キャリア基板2に高強度の性質を持ったセラミック材料を用いることにより、一連の組立プロセスにおいてキャリアの変形はほとんど発生せず作業性、信頼性の高い半導体パッケージを実現することが出来る。

【0030】ろう材としてはPb-Sn系以外に、Sn-Ag系、Sn-Zn系、Au-Sn系、Au、In等を主成分にしたろう材も使用することが出来た。これらの場合、各材料の溶融温度が異なっているため、ろう材の組み合わせや処理温度等の条件をそれぞれ設定しなければならない。

【0031】またバンプについてはろう材に用いた材料を利用することも可能であるが、Cu核のボールやAg、Ni、Fe等の金属核ボールを用いても形成できる。またバンプの代わりに図1(b)、(c)に示したような導体ピンを用いてもよい。

【0032】さらに、導電性接着剤を用いてチップとキャリアとの接続およびキャリアとキャリアとの接続を行うことも可能であり、その場合Ag、Cu、Au等の導電性金属粒子を含んだエポキシ系樹脂などを用いることが出来る。

【0033】なお、図1(a)において高熱伝導性を有するアルミナ、ガラスセラミック、窒化アルミ等を用いる場合にキャリアを図で横方向に長く設計することで、

冷却用のフィンとして使用することも可能となる。

【0034】(実施例2)実施例1と同様にして、但しセラミックキャリア基板2のかわりにキャリアフィルム法を用いた例を示す。ここで、キャリアフィルムは厚さ100μm、外形5.0mm×13.4mmのポリイミドフィルムを用い、LSIチップの実装される面にはCuの配線導体3を形成した。

【0035】薄く研磨したチップが実装されたキャリアフィルムを4枚重ね合わせてバンプ7を介して電気的に接続する際には、バンプ7としては150μm径のCuボールにPb-Sn系のはんだをコーティングしたものを使い、キャリアフィルムの表裏面のパッドにははんだペーストを印刷形成後、はんだコーティングしたCuボールを配列し、次に各キャリアフィルムを積み重ね、熱処理することによりはんだ溶融して4個のフィルムを接続し、モジュール化した。キャリアフィルム上の接続部は、はんだぬれ性を十分に行うためCu導体の上にNiおよびAuのメッキを施した。

【0036】(実施例3)図3(a)は、本発明の他の構造を示す実施例の説明図であり、1個のキャリアを示したものである。ここでは、キャリア基板1個について示したが、半導体パッケージとして複数個重ね合わせたものとしても良いことは言うまでもない。キャリアの材質はアルミナを用い、厚みは100μmで、配線導体にはMoを用いた。本キャリアにはLSIチップを収納するためのキャビティ21が形成されている。チップを接続するためのバンプとしてはAu-Sn系ろう材を用い、キャリア基板間の接続にはSn-Zn系ろう材を用いた。

【0037】(実施例4)図3(b)に、実施例3と同様に、但しキャリアフィルムを用いた例を示す。ここで配線導体にはCuを用い、キャビティ部のフィルム厚みは100μm、周辺部のフィルム厚みは250μmとした。

【0038】実施例3、4で示したキャビティを有する構造にすることにより、スタック時の取り扱いが容易になり、チップの保護の点からも効果があり信頼性の高い半導体パッケージを提供できた。

【0039】なお、図3(c)、(d)のように非導電性樹脂を用い、キャリアを一個ずつ、もしくは積層する個数を一括で圧接接合させて半導体パッケージを製造することもできる。このような非導電性樹脂を用い、マザーボードに接続するためのキャリア接続用バンプ以外の部分を樹脂封止することで、耐湿性の向上も図れる。なおこのような非導電性樹脂は、本実施例のようにキャビティ部が無いものにも適用することが可能であることは言うまでもない。

【0040】(実施例5)図4は本発明の実施例5を示す断面図である。図5にその製造フローを示す。この実施例の実施例1、2との相違点はキャリアにキャビティ

が設けられ、かつ端面スルーホール3を有している点である。

【0041】キャビティが形成されているキャリア2にメタル或いはバンプ4が付いたLSIチップ1をフェースダウン接続して、LSIチップ1の電極とキャリア2の電極を電気的に接続する(図5(a))。次に樹脂6で封止する(図5(b))。更にLSIチップ1裏面から研削、研磨、サーフェースグラインダー、エッティング法等によって約0.1~0.3mmの厚さに形成する(図5(c))。端面スルーホール5'を用いてメタル、導電性樹脂等によって多段接続する(図5(d))。

【0042】このような方法により、例えば4段接続した場合、全体の厚さは約0.4~1.2mmとなる。これは従来の一一番薄いパッケージとして知られるTSOPの1.0mmと同等の厚さであるが、実装密度を考慮した場合には約4倍になり高密度実装に適した多段接続の半導体装置となる。

【0043】(実施例6)図6は、本発明の他の構造を示す実施例の説明図である。ここでは、キャリア基板1個について示したが、半導体パッケージとしては複数個重ね合わせたものとなる。

【0044】図6では、LSIチップ1はフェースダウンでバンプ4を介してセラミックキャリア基板2の導体パッドにボンディングされている。セラミック基板2の厚みは、200μmであった。高速化、高密度化に伴ってLSIチップ1から発生する熱を逃さねばならないことや特性インピーダンスを整合しなければならないという要求に対して、キャリア基板2のチップ実装面と反対側の面に導体11を形成した構造となっている。導体層は導電性の放熱板でもよく、この時導体層はGNDに接続されていてもよい。導体材料11としてはWを用いたが、Ag、Au、Cu、Ag-Pd、Mo等を主成分とした金属を用いても目的を満足することが出来る。

【0045】本実施例においては、セラミックキャリアの材質として窒化アルミを用いたが、実施例1で示したように他のガラスセラミックスやセラミックスを用いても可能である。なお3の配線導体にはW系導体を用い、4のバンプにはAg核にSn-Ag系ろう材をコーティングしたもの、また6のバンプにはAuを用いた。

【0046】(実施例7)実施例6と同様に、但しセラミックキャリア基板のかわりにポリイミドからなる50μm厚のキャリアフィルムを用いた例を図7に示す。

【0047】発生する熱を逃がすために、本実施例ではキャリアフィルムのチップ実装面と反対側の面に放熱板9を形成した構造をとっている。この放熱板9は熱の放散以外に特性インピーダンスを整合させる目的にも利用でき、電気的なノイズを低減する効果も期待できる。放熱板として用いる導体層は、ベタあるいはメッシュ状等のパターンを形成してもよい。放熱板9の材料としては銅板を用いたが、ニッケル、ステンレス、タングステ

ン、アルミニウム、モリブデン等の金属板を用いても目的を満足させることが出来る。また、図7(b)、図7(c)に示したように、所望の厚さに形成した個々のLSIチップ1の裏面に放熱板9をメタル或いは高熱伝導性樹脂で接着した構造でもよい。

【0048】本実施例においても配線導体3にはCu導体を用いたが、バンプ7にはAg核にSn-Ag系ろう材をコーティングしたもの、またバンプ4にはAuを用いた。なおバンプ7を取り付けるパッド部には、Cu導体の上にNiおよびAuのメッキを形成した。

【0049】(実施例8)実施例6、7で説明したような放熱効果を有するキャリアをスタックした例を図8に示す。図8(b)で示したように、放熱板9を長くすることで放熱効果の向上が期待できる。また、放熱板9は厚いほど放熱効果が向上するため、LSIチップ1と隣接するキャリア2との間隔が0となることが好ましい。また、この間隔が0でなくても熱伝導性の良いコンパウンドやシリコンラバーもしくはオイル等を入れても良い。

【0050】なお、図8では放熱板をLSIチップ裏側に密着している図を示したが、キャリアの裏側に密着していても良いことは言うまでもない。

【0051】(実施例9)図9は本発明の実施例9を示す断面図である。放熱板9が付いた個々のLSIチップ1を多段接続し、マザーボード12に実装した例である。このとき放熱板9の面と、キャリア2の裏面間は図9(a)のようにメタル、高熱伝導性樹脂によって固着されている構造となっていても、図9(b)のようにバンプで接続された構造でも良い。このような構造により高密度で高放熱の半導体パッケージができる。

【0052】(実施例10)図10は本発明の実施例10を示す断面図である。最上層のセラミック基板2上に形成した電極22の表面を片面に粘着層を有するポリイミド型シート等の絶縁物16を貼り付けてカバーする。電極15上が絶縁物でカバーされているため隣接する電極15上に導電性の異物が付着してもショート不良が発生しない。またモジュールを基板上に実装後、必要に応じて絶縁物16を剥がすことにより、この電極22はモジュールのテストパッドとして使用することが可能である。

【0053】(実施例11)図11は本発明の実施例11を示す図である。図11(a)ではキャリア接続用のスルーホール5以外に微細ピッチスルーホール17を有する構造で、この微細スルーホール17は各々がスルーホール接続用導体18で接続されており、全てGND端子19と接続されている。また、図11(b)ではキャリア2の周辺端面に導体層20が形成され、これがGND端子19と接続されている。このような構造をとることにより導体でLSIを囲むことが可能になり、LSI間の相互干渉を防止することが可能となる。

【0054】(実施例12)上記実施例以外の製造方法について説明する。

【0055】図2および図5に示す各キャリア2が、多数個形成されている多数個取り基板に、LSIチップ1を多数個バンプ接続し、次に、この多数個搭載されたLSIチップ1と多数個取り基板の個々の間に、封止樹脂6を注入して封止する。その後、多数個取り基板の状態でLSIチップ1の裏面から、研磨、研削、サーフェースグライナー、エッティング法等によって所望の厚さに形成する。

【0056】多数個取り基板の状態で接続用バンプ7を半田ボール、半田ペースト印刷、ディスペンス法等により所望の高さのバンプを形成する。

【0057】次に、多数個取りの中にあって、個々のLSIチップ1からキャリアに引き出されている端子を用いて、バーンテスト前、バーンテスト、バーンテスト後等の電気的特性検査を実施する。尚、本電気的特性検査は、本工程のみならずLSIチップ1が搭載された工程以降であれば、どの工程でも適用できる。その後、電気的特性検査の完了した多数個取り基板を、所望の段数位置決めし、重ね合わせる。メタル接続による多段接続の場合は、リフロー、ウエルド法等で、導電性樹脂接続による多段接続の場合は、熱硬化、紫外線硬化法等によって接続する。

【0058】次にダイシング、レーザー、スクライブ、チョコブレーク法等によって、個々の多段接続された半導体装置を得る。

【0059】尚、チョコブレーク法の場合は、多数個取り基板製造の段階でブレーク溝を予め基板に形成したものを、多数個取り基板として使用する。最後に必要に応じて最終的な電気的特性検査を実施する。電気的特性検査は、個々のキャリアの上、下両面に形成されている多段接続用パッドに、探針、あるいは面接触によって電気的なコンタクトをとって実施する。

【0060】なお上記実施例1～12ではLSIチップとしてD-RAMのメモリーチップを用いたが、メモリーチップに限定されるものではなく、マイコン、ゲートアレイ等のあらゆるLSIチップを用いても同様の半導体パッケージを実現することが出来る。

【0061】

【発明の効果】実施例からも明らかなように、本発明のパッケージ構造および製造方法を採用することにより、個々のキャリアはもちろん、複数重ね合わせても配線長の極めて短い電気特性の良好な小型、薄型で高密度なスタックモジュール半導体パッケージを提供することが出来る。

【0062】また、チップを搭載したキャリア基板もしくはキャリアフィルムを所望の個数一括で同時に重ね合わせ接続してモジュール化するため作業性に優れ、低コスト化が可能である。また、多段接続するそれぞれのキ

ヤリアにおいて、回路パターンの一部を、接続、或いは分離することによって各キャリアにそれぞれ異なった回路機能を持たせ、それを示す記号、番号等を記載しておけば、この記号、番号等によって電気回路の組み合わせをすることもできる。

【0063】またLSIチップをセラミック基板もしくはキャリアフィルムからなるキャリア基板に搭載しているため、この単位でチップの検査選別を行うことが可能であり、良品のみをスタック化出来る。またチップを搭載したキャリア基板もしくはキャリアフィルムを所望の個数一括で同時に重ね合わせ接続してモジュール化するため作業性に優れ、低コスト化が可能である。また、チップとのバンプ接続においてバンプの材質として高融点ろう材を利用できる。

【0064】また熱の放熱性に優れ、特性インピーダンスを整合したパッケージを提供することが可能である。

【0065】なお、特にセラミックキャリアを用いることで、キャリア基板の平坦性、耐湿性が極めて良い等の効果を有し、さらに組立プロセスにおいてもハンドリング性が良好で、実装基板へのはんだリフローの際もキャリア基板の面がフラットに維持されるため、高信頼の接続が可能である。

【図面の簡単な説明】

【図1】本発明の実施例1、2を説明するための図である。

【図2】本発明の実施例1の製造フローを示す図である。

【図3】本発明の実施例3、4を説明するための図である。

【図4】本発明の実施例5を説明するための図である。

【図5】本発明の実施例5の製造フローを示す図である。

【図6】本発明の実施例6を示す図である。

【図7】本発明の実施例7を示す図である。

【図8】本発明の実施例8を示す図である。

【図9】本発明の実施例9を示す図である。

【図10】本発明の実施例10を示す図である。

【図11】本発明の実施例11を示す図である。

【図12】従来の技術を示す図である。

【図13】従来の技術の第2例を示す図である。

【符号の説明】

1 LSIチップ

2 キャリア

3 配線導体

4 インナーボンディング用バンプ

5 スルーホール

5' 端面スルーホール

6 封止樹脂

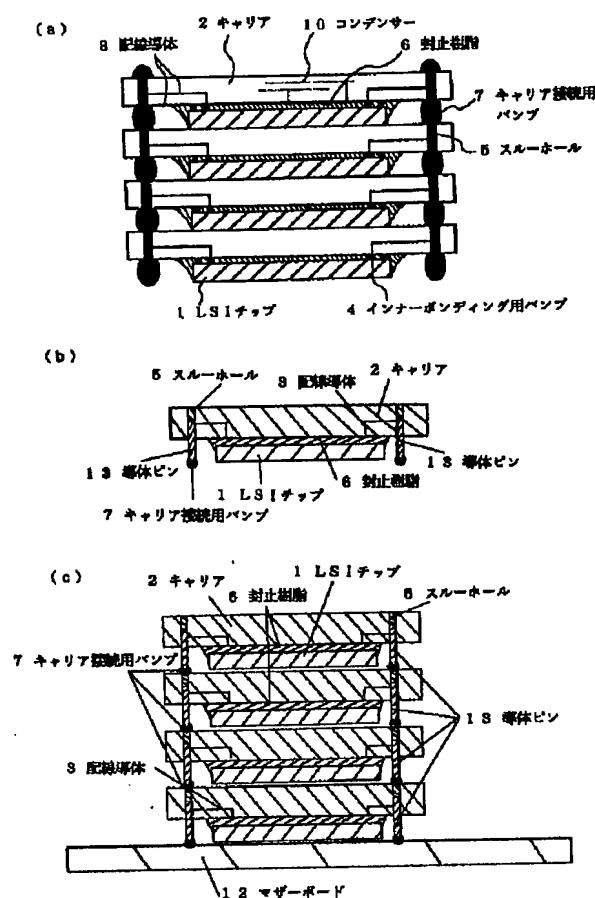
7 キャリア接続用バンプ

9 放熱板

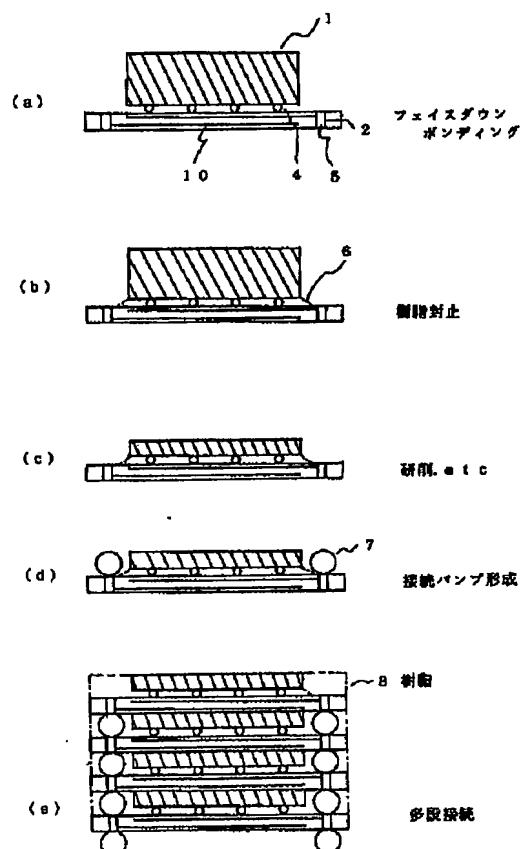
1 0 コンデンサ
 1 1 導体
 1 2 マザーボード
 1 3 導体ピン
 1 4 非導電性樹脂
 1 5 電極
 1 6 絶縁物
 1 7 微細ピッチスルーホール
 1 8 スルーホール接続用導体
 1 9 GND端子
 2 0 導体層

2 1 キャビティ
 3 1 セラミック
 3 2 I C搭載用電極
 3 3 チップキャリア接続用電極
 3 4 メモリ I C
 3 5 封止樹脂
 3 6 半田
 3 7 リード
 3 8 モールド材
 10 4 0 半導体装置

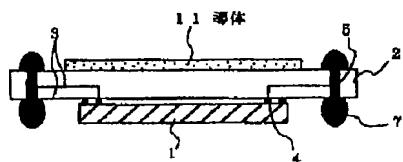
【図1】



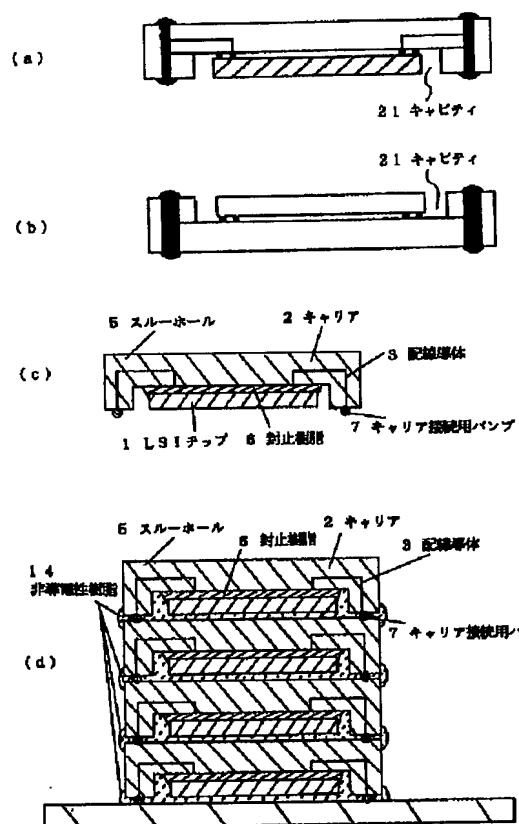
【図2】



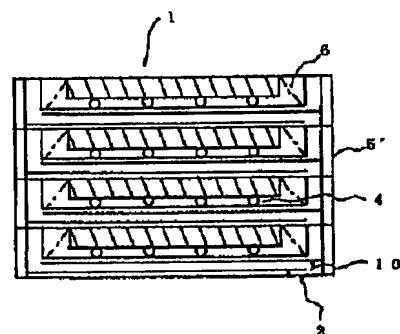
【図6】



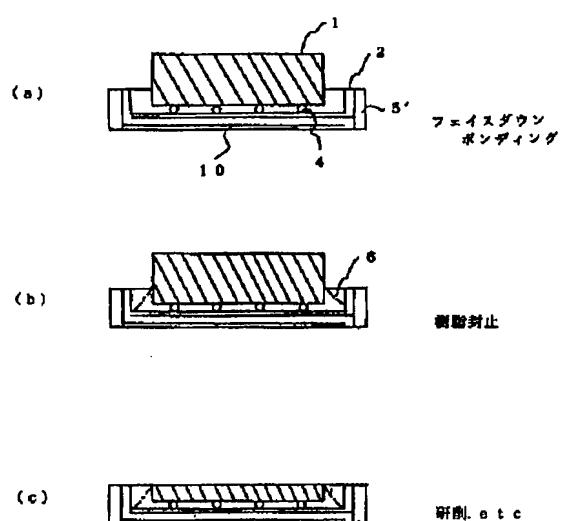
【図3】



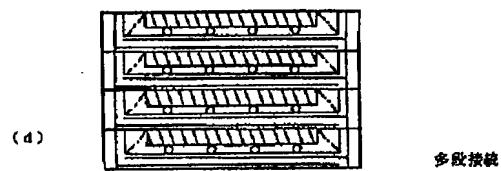
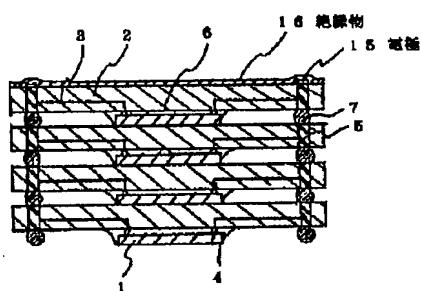
【図4】



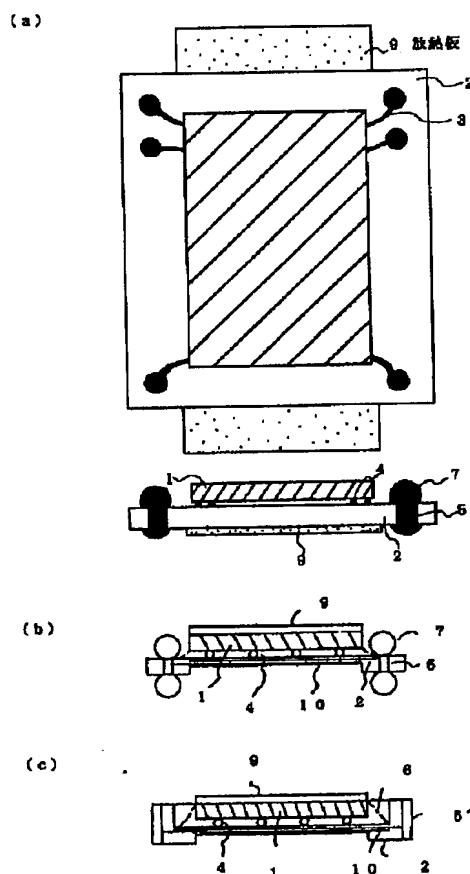
【図5】



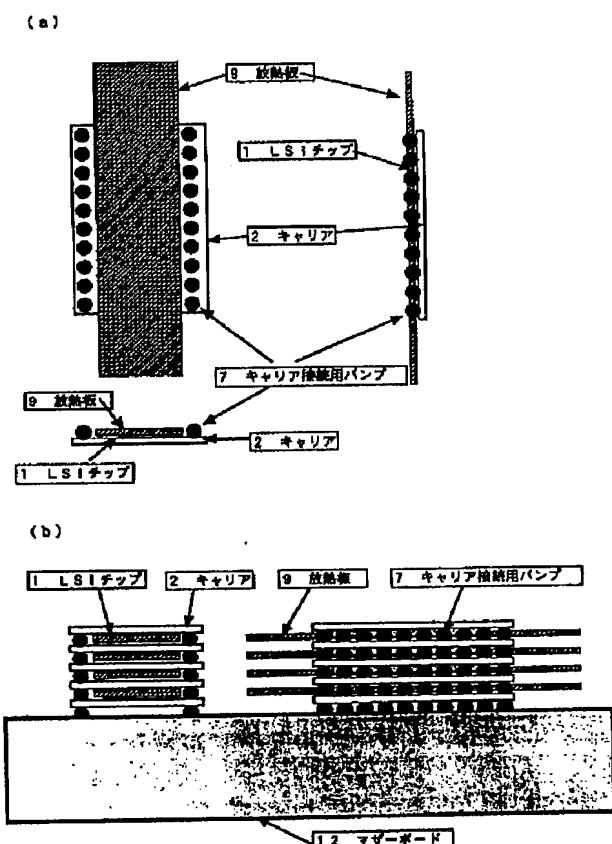
【図10】



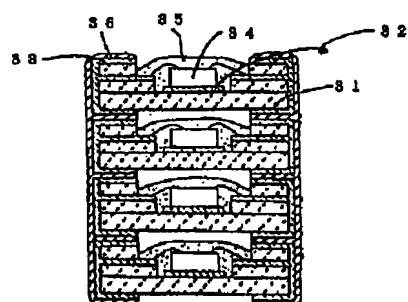
【図 7】



【図 8】

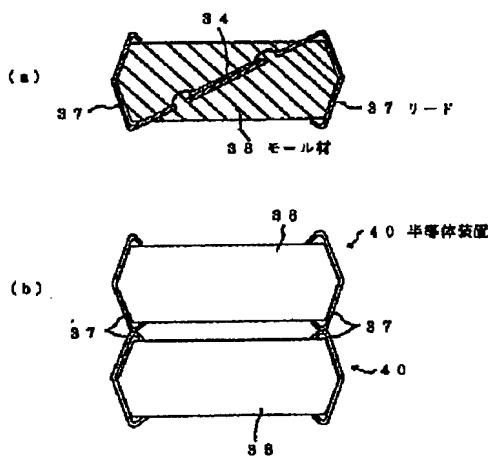


【図 12】

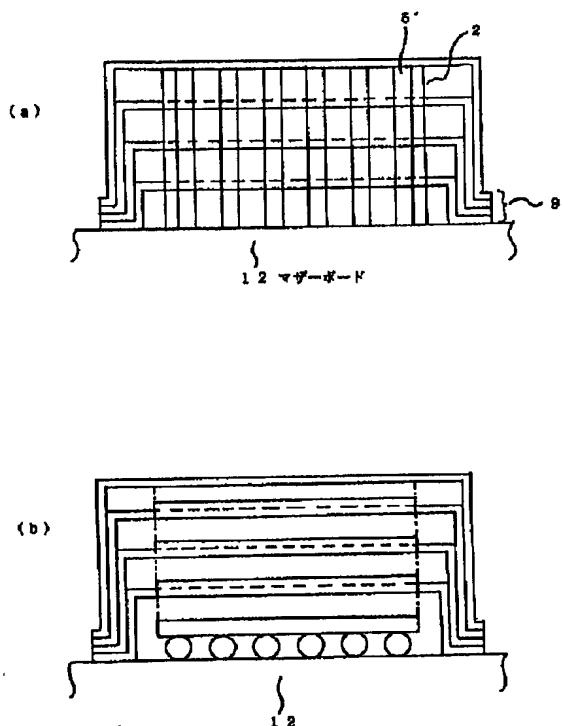


31……セラミック、32……IC接続用電極、33
……チップキャリア接続用電極、34……メモリIC、
35……封止樹脂、36……半田。

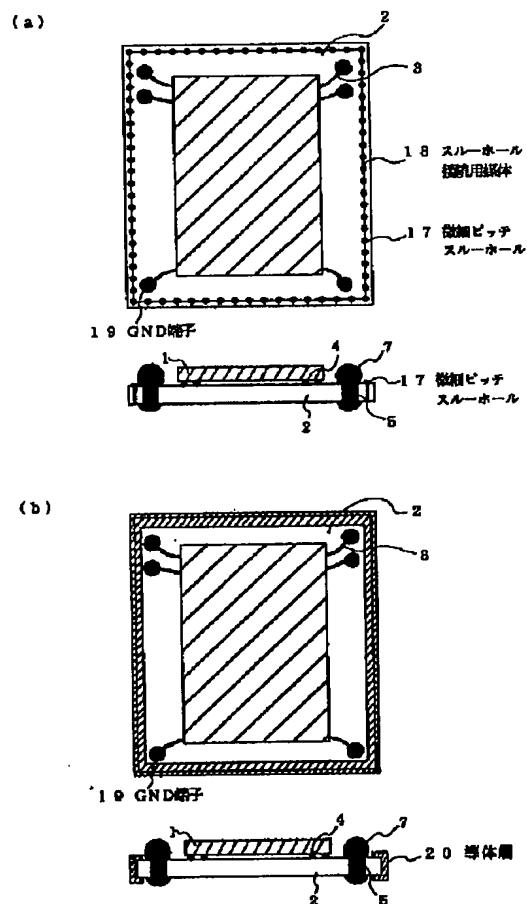
【図 13】



【図9】



【図11】



フロントページの続き

(72)発明者 得能 健市
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 森▲崎▼ 郁志
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 銅谷 明裕
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 益子原 學
東京都港区芝五丁目7番1号 日本電気株
式会社内